



IMPLEMENTACIÓN EN FPGA DE DOS ALGORITMOS DE APRENDIZAJE DE REDES NEURONALES ARTIFICIALES

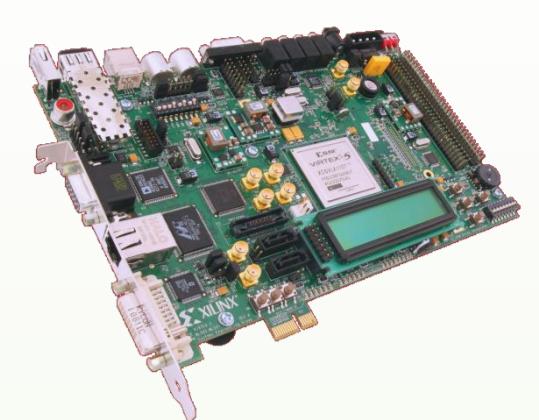
FPGAs y HDLs

F. Ortega-Zamorano¹, J.M. Jerez¹, G. Juárez², L. Franco¹

¹Departamento de Lenguajes y Ciencias de la Computación, Universidad de Málaga, España.

²Facultad de Ciencias Exactas y Tecnología, Universidad Nacional de Tucumán.

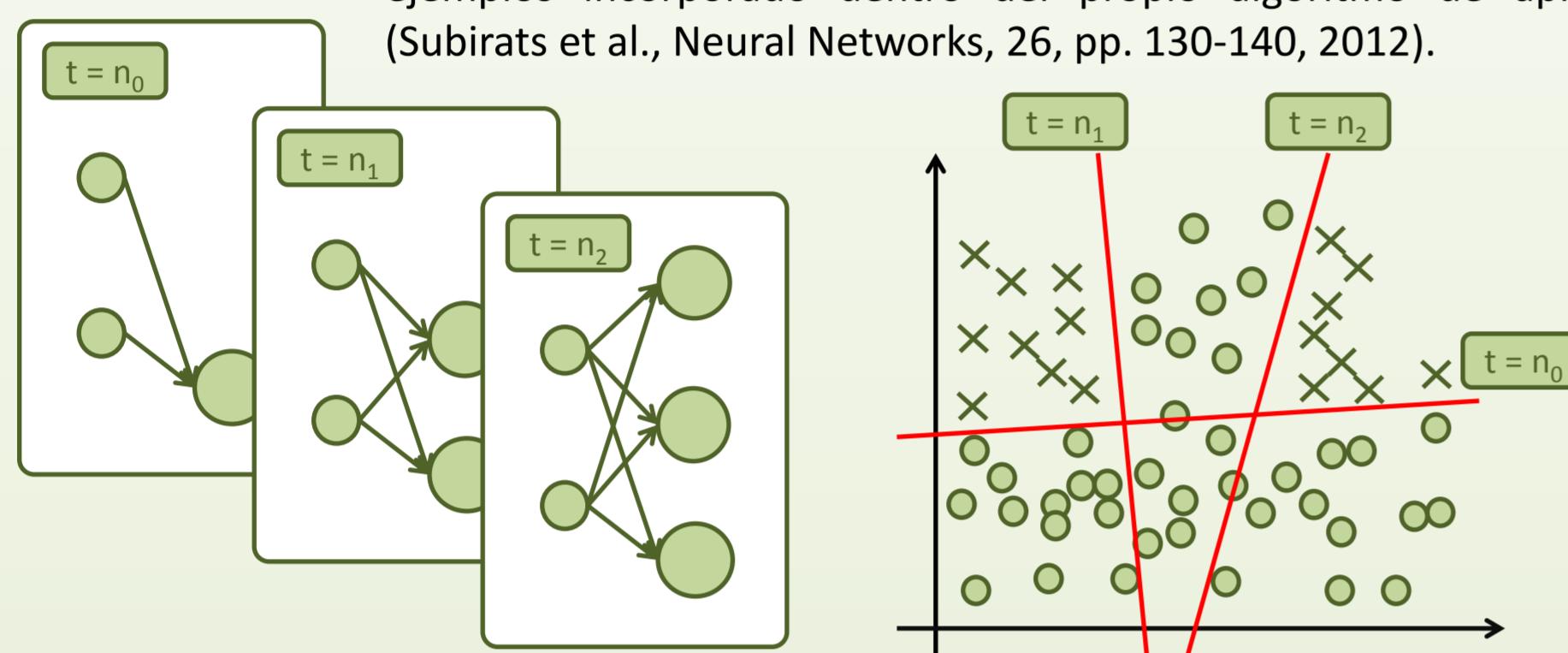
<http://www.lcc.uma.es/~lfranco/> email:lfranco@lcc.uma.es



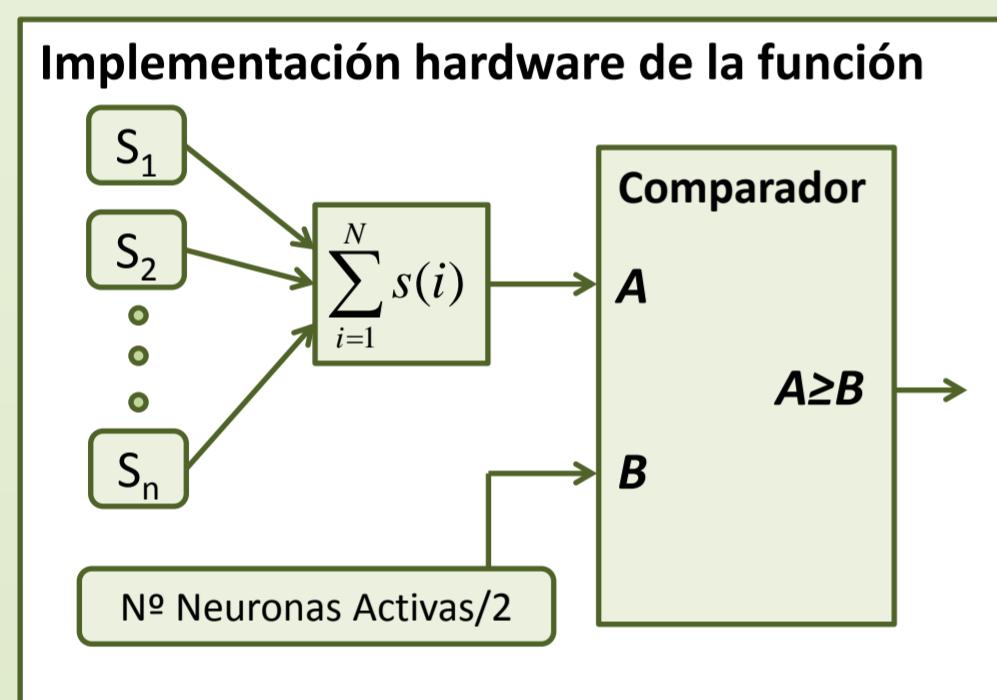
INTRODUCCIÓN:

En este trabajo se comparan las implementaciones realizadas en una placa FPGA de dos algoritmos de redes neuronales supervisadas: el algoritmo de retropropagación de errores y el algoritmo constructivo C-Mantec. En ambos casos el entrenamiento se realiza en el propio dispositivo (implementación “on-chip”) para aprovechar la capacidad de cómputo y paralelismo de las FPGAs, comparándose los recursos necesarios y la velocidad de operación. Se analizan ventajas y desventajas de cada algoritmo.

C-MANTEC: Algoritmo de tipo constructivo, que genera automáticamente la arquitectura de red neuronal a medida de los patrones disponibles. Utiliza un mecanismo competitivo para el aprendizaje y genera arquitecturas de red muy compactas. A fin de evitar el problema del sobre-entrenamiento C-Mantec implementa un método de filtrado de ejemplos incorporado dentro del propio algoritmo de aprendizaje. (Subirats et al., Neural Networks, 26, pp. 130-140, 2012).

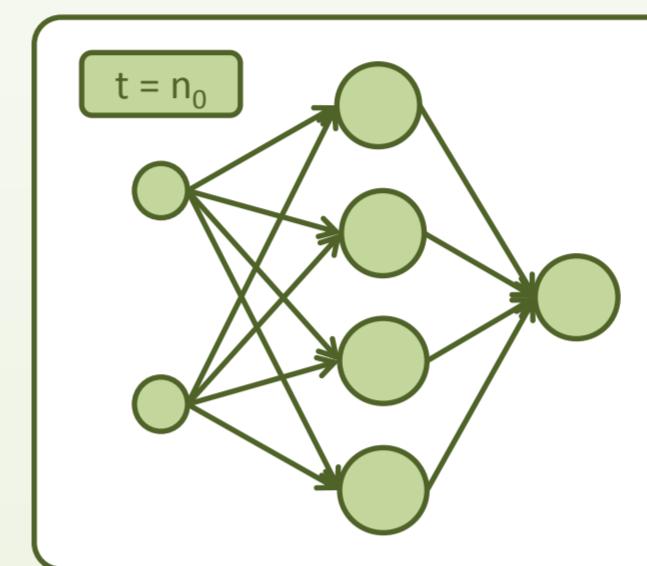


El algoritmo C-Mantec va añadiendo neuronas de forma dinámica a la arquitectura conforme estima necesario hasta que las clases del conjunto de patrones queda separado. En $t = n_0$ el sistema comienza con una única neurona y como no puede delimitar completamente el conjunto de patrones va añadiendo neuronas hasta $t = n_2$.

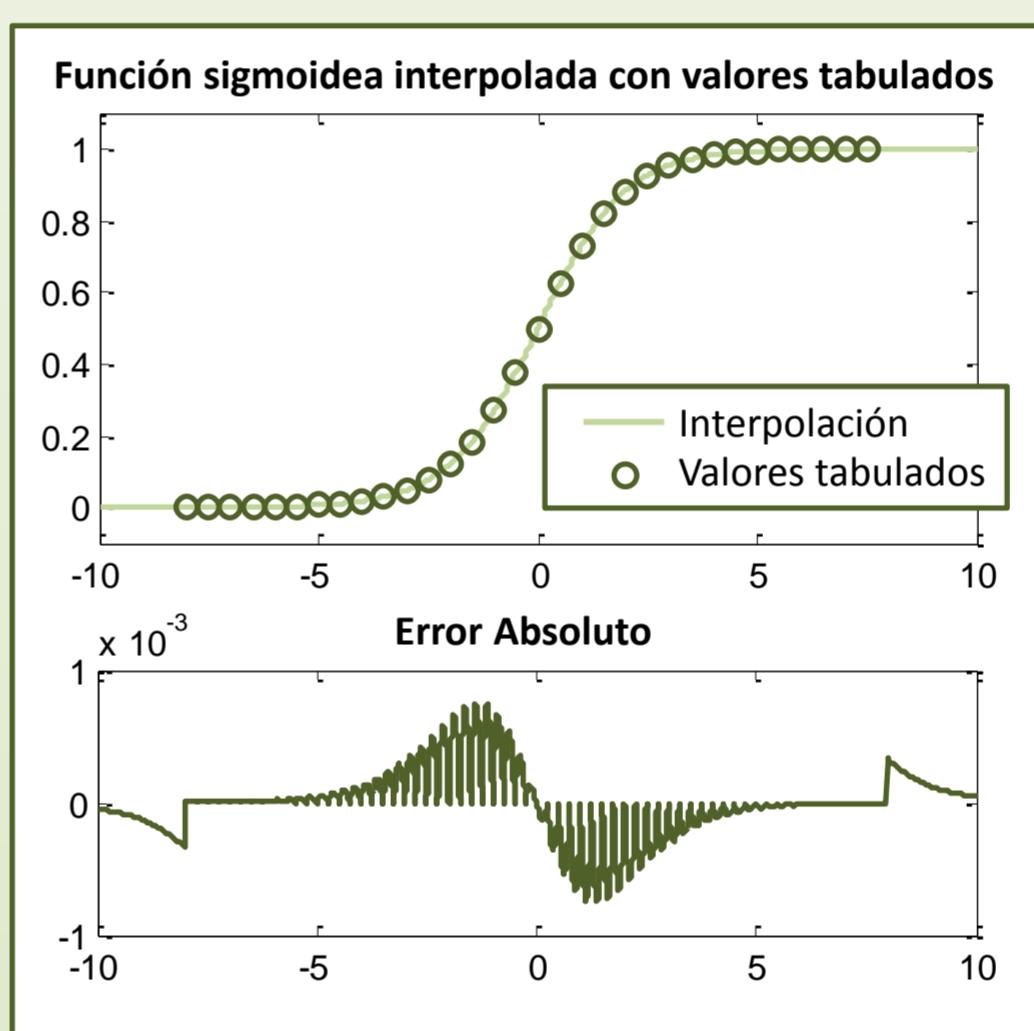
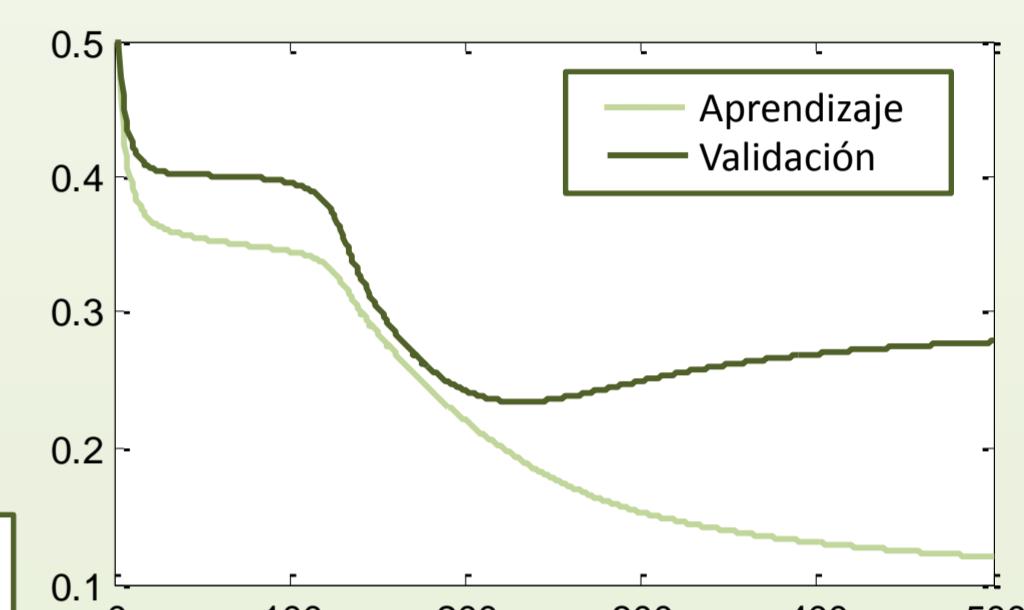


La salida de la red neuronal es calculada por una función de mayoría, la cual suma las salidas de las neuronas binarias de la capa oculta, tomando como la salida de la respuesta mayoritaria.

BACKPROPAGATION:



El algoritmo de redes neuronales supervisadas más utilizado, posee una gran versatilidad y buenas propiedades de predicción y convergencia. La arquitectura de red tiene que ser definida a priori, siendo un proceso bastante complejo. Para evitar el problema del sobre-entrenamiento suele utilizarse un conjunto de validación para realizar un “early-stopping” o un método de decaimiento de pesos sinápticos. (Rumelhart, et al., Parallel distributed processing, Vol. 1 pp. 318–362, MIT Press, 1986)



La función de salida de una red de retropropagación es la función sigmoidea, la cual se ha calculado en la implementación tabulando una serie de valores equiespaciados complementado con una interpolación, a fin de obtener una representación muy próxima a la función sigmoidea real.

Ventajas:

- Genera de forma automática arquitecturas muy compactas.
- Robustez en cuanto al ajuste de parámetros.
- La función de salida (función de la mayoría) es sencilla de implementar en hardware.

Ventajas:

- Buenas propiedades de convergencia y capacidad de predicción.
- Cientos de aplicaciones existentes realizadas lo que permite conocer de antemano que respuesta esperar de su implementación.

Desventajas:

- El método para evitar el sobre-entrenamiento basado en la eliminación de ruido depende de la distribución de los patrones de entrenamiento y necesita ajustarse adecuadamente.

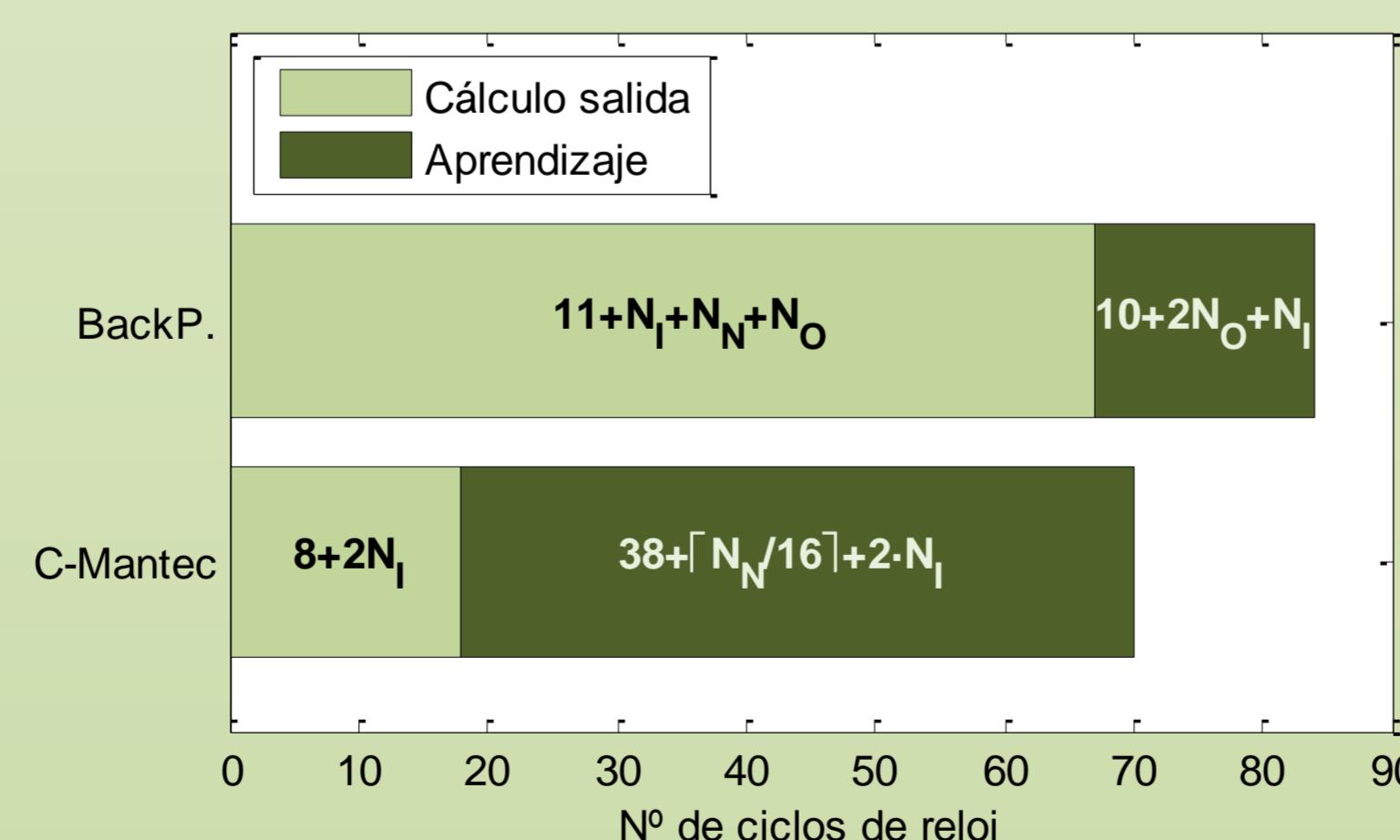
Desventajas:

- Complejidad para la elección de la arquitectura adecuada a utilizar.

ANÁLISIS COMPARATIVO

N ₁	N ₂	LUTs / Neu.		Nº Neu.	
		BP	C-M	BP	C-M
8	8	787	689	82	94
8	12	967	757	67	85
8	16	1124	943	57	68
12	12	1057	826	61	78
12	16	1223	1033	53	62
16	16	1382	1299	47	50

Número de LUTS y número máximo de neuronas que pueden implementarse en la placa Virtex-5 en función de la representación de punto fijo utilizada.



Ciclos de ejecución necesarios para aprender y calcular la salida de un patrón en el caso de una arquitectura 5-50-1.

Función	C-Mantec		BP	
	%	Nº Neu.	%	Nº Neu.
Diabetes	76,6	5	79,3	5
Cancer	96,9	2	95,7	5
Heart	82,6	3	78,2	5
Ionosphere	87,4	2	87,5	5
Heart-c	82,5	2	80,1	5
Card	85,2	3	83,1	5
Sonar	75,0	1	75,2	5

Porcentaje de generalización y número de neuronas presentes en las arquitecturas utilizadas para la implementación de 6 problemas clásicos de prueba.

CONCLUSIONES:

- Se han implementado exitosamente dos algoritmos supervisados de redes neuronales en una placa FPGA Xilinx Virtex-5.
- Los recursos utilizados por el algoritmo C-Mantec son de aproximadamente un 15% menores que para el caso del algoritmo de retropropagación de errores lo que permite implementar arquitecturas con un mayor número de neuronas.
- El tiempo de ejecución de ambos algoritmos es sustancialmente menor que el tiempo de ejecución en un PC.
- La ejecución correcta del algoritmo C-Mantec es menos sensible a la representación numérica utilizada lo que permite ahorrar recursos.

Agradecimientos: Trabajo financiado a través de fondos de los proyectos Junta de Andalucía P10-TIC-5770 y CICYT TIN2010-1655.